

Instituto Tecnológico Argentino Técnico en Hardware de PC		
Plan THP2A03B	Reservados los Derechos de Propiedad Intelectual	
Tema: Tendencias Tecnológicas	Archivo: CAP2A03BTHP0235.doc	
Clase N°: 35	Versión: 1.3	Fecha: 31/5/04

ESTUDIO

TENDENCIAS TECNOLÓGICAS

MÓDULO 02

1 OBJETIVO

En los contenidos del material de estudio brindados en el módulo 01, hemos visto como se han desarrollado los microprocesadores a través del tiempo. Para completar el círculo del desarrollo tecnológico, basta con realizar una descripción similar sobre los tipos y tecnologías de chipsets y de memorias RAM: una vez incorporados estos contenidos, podremos entender la relación existente entre la unidad central de proceso, el chipset y la memoria RAM con mucha más profundidad, en referencia a lo ya estudiado en las clases 3 y 4.

2 CHIPSETS

2.1 LOS PRIMEROS CHIPSETS

Los antepasados de lo que hoy conocemos como chipset surgieron cuando el microprocesador 80286 de Intel convirtió en estándar a la PC. Los chipsets de las computadoras con plataforma 80286 eran un conjunto de chips que reemplazaban a la docena de chips periféricos utilizados en los motherboards con plataforma 8088, integrando en menor espacio la misma funcionalidad básica de estos últimos.

Un avance importante en la arquitectura de los chipsets ocurrió con el lanzamiento de la línea de procesadores 80386. Podemos ver un esquema de una plataforma 80386 en la figura 35b.1.

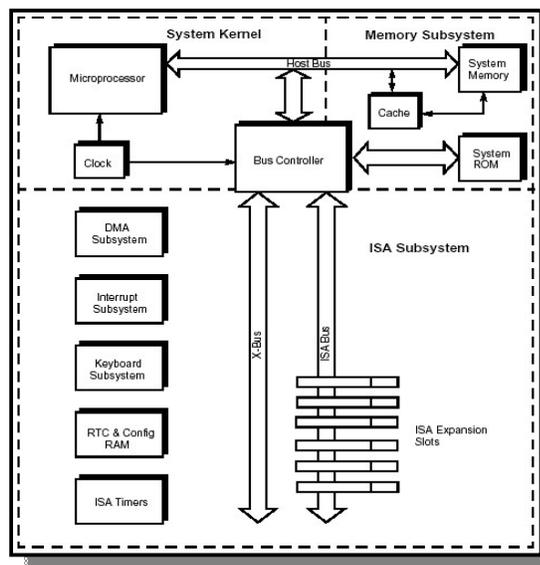


Figura 35b.1: Plataforma 80386

Podemos ver en la figura 35.1 que el diagrama de la plataforma 80386 está dividido en tres divisiones o *subsistemas*:

- System Kernel (*Núcleo del sistema*): CPU, Reloj y Controlador del BUS ISA.

CPU: Microprocesador 80386.

Controlador del BUS ISA: Proveía de los protocolos y señales básicas que requiere el microprocesador para comunicarse con el sistema. Tanto el microprocesador como el Controlador del BUS ISA funcionaban en sincronismo con un reloj.

- Memory Subsystem (*Memoria*): RAM, Caché y ROM.

RAM: Utilizaba la tecnología FP (Fast Page), y se vincula con el microprocesador como lo indica la figura 35b.2. Un primitivo controlador de caché que formaba parte del chipset permitía el acceso a la memoria RAM por parte del microprocesador.

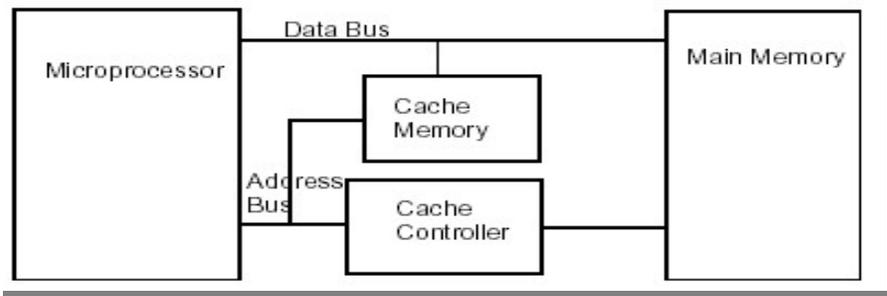


Figura 35b.2: Memoria del sistema en una plataforma 80386

Caché: Estaba anexada tanto a la memoria RAM como al microprocesador, pudiendo este último acceder a la misma mediante el controlador de caché ubicado en el chipset.

ROM: Era anexada al sistema por el Controlador del BUS ISA.

- ISA Subsystem (*BUS ISA*): Canales DMA, niveles IRQ, Teclado, RTC & NV-RAM (CMOS), slots de expansión con soporte desde 8 hasta 16 bits y velocidades desde los 8 Mhz hasta los 8.33 Mhz.

La siguiente figura (35b.3) nos muestra un esquema de la plataforma posterior, la 80486.

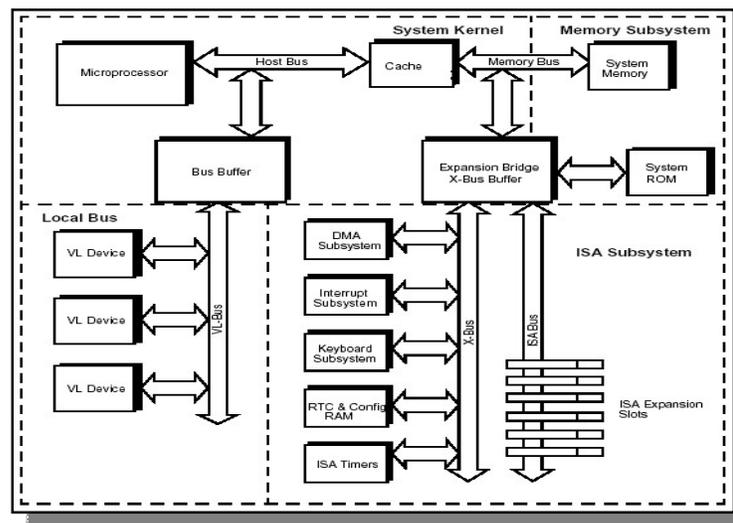


Figura 35b.3: Plataforma 80486

La plataforma 8046 sólo difiere en diseño a la 80386 porque incluye un *Local Bus* (Bus local), diseñado para los dispositivos que más requieren velocidad a la hora de transportar datos: las placas de video. Pese a este avance, las ranuras VESA Local Bus nacieron y murieron con la plataforma 80486, dada la aparición del bus PCI con la plataforma Pentium (figura 35b.4).

2.2 LA PLATAFORMA PENTIUM

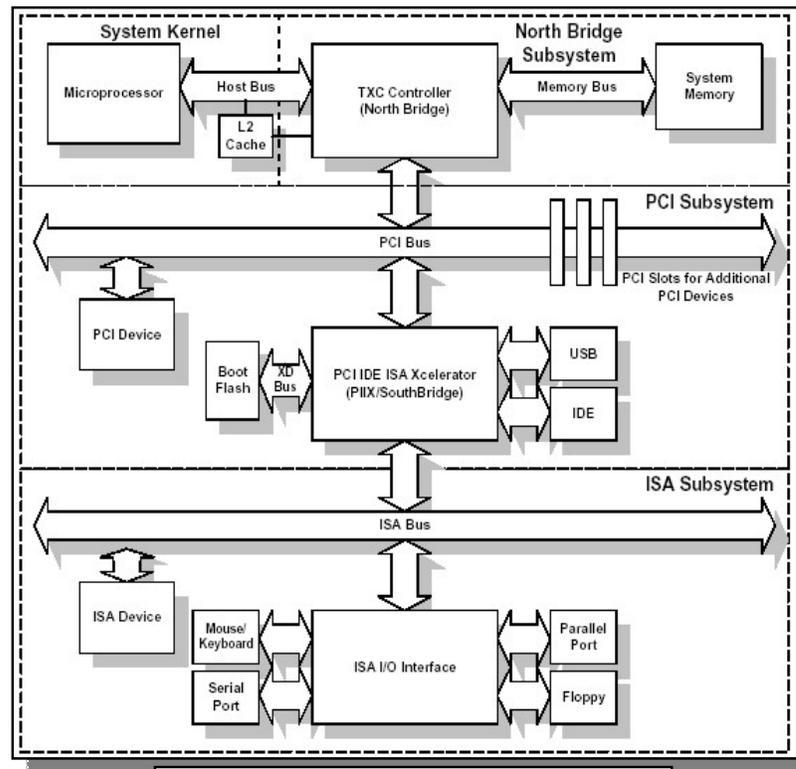


Figura 35b.4: Plataforma Pentium

El microprocesador Pentium de Intel trajo aparejada una nueva plataforma, que introdujo dos avances tecnológicos que hasta hoy en día constituyen un estándar en todas las plataformas PC:

- La inclusión del *bus PCI*.
- La inclusión de los *puentes norte y sur* dentro del chipset.

Pese al salto tecnológico que significó implementar transferencias de 32 bits a 33 Mhz (PCI) dentro la plataforma, el hecho de que debía sí o sí ofrecerse compatibilidad con las interfaces anteriores (ISA) trajo cuellos de botella en las tareas de procesamiento de información por parte de la CPU, por eso el chipset fue dividido entre dos enlaces (puentes norte y sur) que permiten un direccionamiento más controlado por parte del chipset de la información que viaja por los buses.

2.2.1 El puente Norte (North-Bridge)

El bus que comunica al microprocesador con la memoria del sistema se denomina **FSB** (*Front Side Bus* o *Bus de Salida Frontal*). Dentro de la plataforma Pentium, este es separado

del resto del sistema por parte de un controlador, el **puente norte**, reduciendo el tráfico de información dentro del mismo.

En las plataformas 80386/80486, el FSB era compartido con el resto de los Buses, pero esto no traía grandes problemas de congestión en la comunicación con el bus ISA, pero sí los trajo al implementarse PCI (otra de las consecuencias de la implementación del bus PCI fue que el ancho de banda de transferencia del FSB se vería reducido considerablemente), por lo cual debió incluirse un controlador que sirviera de intermediario entre el FSB y el resto de la plataforma. La interfaz que une el puente norte al bus PCI garantiza la correcta utilización del ancho de banda de los dispositivos PCI y su bajo tiempo de latencia.

Además agrega dos nuevos controladores integrados, destinados a la memoria del sistema:

- **Controlador de caché L2:** Puede ser configurado para soportar 256 o 512 Kb, *cacheando* únicamente a la memoria RAM.
- **Controlador DRAM:** Puede ser configurado para soportar memorias de 4 a 512 MB, con un techo de soporte de 64 bits.



La implementación del puente norte dividió al FSB y a la memoria del sistema del resto de la plataforma, reduciendo los cuellos de botella en la transmisión y recepción de información, aprovechando el salto tecnológico del procesador Pentium.

2.2.2 El puente Sur (South-Bridge)

En una plataforma Pentium, el nexo comunicador-mediador entre el bus PCI y el bus ISA se denomina **puente sur**. Otras responsabilidades de este chip son las interfaces IDE y USB, además de los controladores DMA y las interfaces I/O.

Sabemos ya que cuando el procesador desea acceder a un dispositivo I/O (por ejemplo, la disquete) localizado en el bus ISA, lo hace emitiendo de la dirección I/O base del mismo. Durante este proceso, el puente sur se encarga de que ninguno de los dispositivos existentes en el bus PCI decodifiquen la dirección I/O que emitió el procesador, porque tiene como destino a un dispositivo presente en el bus ISA. La información finalmente llega a buen puerto cuando una vez que atravesó el bus PCI, pasa a través del puente norte y es recibida por el decodificador de direcciones I/O del bus ISA, permitiéndole al dispositivo I/O (la disquete) responder al pedido del procesador.

2.3 NUEVAS NECESIDADES Y NUEVAS SOLUCIONES: LAS PLATAFORMAS PENTIUM PRO Y PENTIUM II

Luego del éxito de la plataforma Pentium, el desarrollo tecnológico de Intel apuntó a dos necesidades crecientes de mercado: el entretenimiento hogareño y la administración de redes de alta gama. Entonces, las nuevas metas propuestas fueron desarrollar **la aceleración gráfica** y **el multiprocesamiento**. Dado que una computadora hogareña y un servidor de red no son exactamente la misma cosa, Intel ramificó los desarrollos hacia:

- Una plataforma de servidor de red que soporte holgadamente multiprocesamiento, diseñada para el procesador **Pentium Pro**.
- Una plataforma que sea la sucesora directa de la líneas que soportan Pentium, Pentium MMX y Pentium Pro, que brinde la posibilidad de otorgar la aceleración gráfica necesaria **Pentium II**.

2.3.1 La plataforma Pentium Pro y sus chipsets

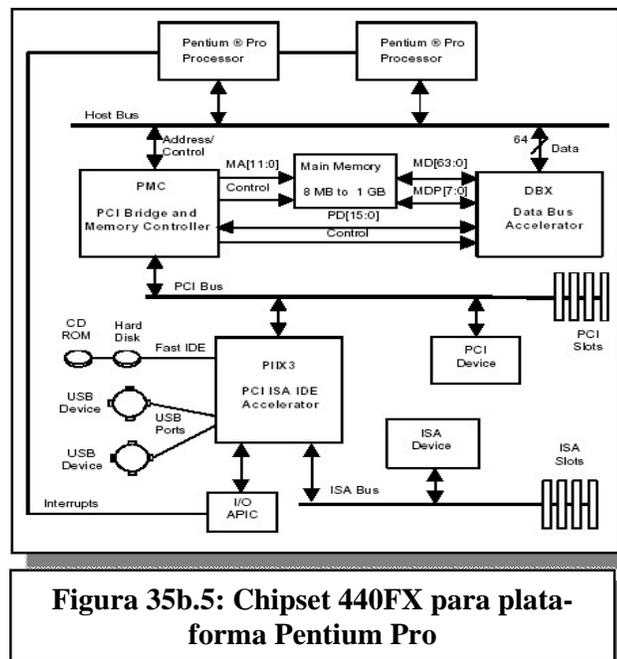
Los primeros chipsets para Pentium Pro fueron los modelos 450, GX y KX. Ambos son el corazón de caras plataformas de alto rendimiento, cada una destinada a ser la espina dorsal de un servidor de red.

El modelo 450GX tiene características únicas no encontradas en otros chipsets, incluyendo el soporte desde 1 hasta **8 GB de RAM** mediante una técnica denominada *Interleaved Memory* (memoria interpaginada), siendo el soporte de 1 GB el perteneciente al sistema *two-way* (2 vías), y 8 GB el del sistema *four-way* (4 vías). Este tipo de técnica de administración de memoria RAM divide a la misma en dos o más secciones, permitiéndole a la CPU acceder simultáneamente a cada sección disponible: esto permite compensar la relativamente lenta velocidad de las memorias con tecnología DRAM.

Esta tecnología es muy cara y sólo puede verse en PC en motherboards de alta gama que incluyan este chipset. Otra de las características sobresalientes de este último es que **soporta 4 procesadores y 2 buses PCI independientes**.

La versión KX del chipset 450 tiene prestaciones levemente más bajas, por lo cual también podría implementarse en una plataforma perteneciente a un puesto de trabajo y no necesariamente a un servidor. Soporta hasta 2 procesadores y hasta 1 GB de memoria RAM con tecnología *two-way Interleaved*.

Debido a su altísimo costo, es poco corriente toparse con algunos de estos chipsets en una PC. Sin embargo, aún hoy son un estándar en ciertos servidores de alta gama, debido a que sus prestaciones siguen siendo tecnológicamente más que distinguidas. Es por eso que las plataformas más conocidas para Pentium Pro contienen al chipset 440FX (figura 35b.5), el último eslabón de esta cadena.



La gran mayoría de los motherboards para Pentium Pro existentes utilizan el chipset 440FX, etiquetado por Intel como el sucesor nato del 450KX. Fue el padre natural de los chipsets posteriormente utilizados para las plataformas Pentium II, y ofrecía mejor rendimiento que su antecesor a un costo menor.

Sin embargo, no llega a igualarse con las capacidades del modelo 450GX, destinado únicamente a servidores de alta gama. Por una cuestión de tiempos, Intel no alcanzó a incluir en el chipset 440FX las tecnologías Ultra DMA y SDRAM, un hecho que lo que lo hubiese convertido en un estándar.

2.3.2 La plataforma Pentium II y sus chipsets

- El primer chipset diseñado exclusivamente para la plataforma Pentium II fue el modelo 440LX. Como el procesador fue lanzado meses antes de que el chipset estuviera listo, los primeros motherboards para Pentium II utilizaron al chipset 440FX, diseñado para Pentium Pro. Este chipset trajo consigo los siguientes adelantos tecnológicos, que hoy constituyen un estándar:



- Un puerto dedicado de video, denominado *Accelerated Graphics Port (AGP)*.
- Tecnología *SDRAM* aplicable a la memoria del sistema.
- Tecnología *Ultra DMA* aplicable a las interfaces IDE.

El lanzamiento del microprocesador Celeron, destinado a plataformas económicas, trajo aparejado el lanzamiento del modelo 440EX, que no es más que la adaptación del modelo LX a una plataforma Celeron.

2.3.2.1 El chipset 440BX para Pentium II

Hasta este punto en el tiempo, el FSB (Front Side Bus) siempre había sido un evidente cuello de botella, debido a la existencia de un umbral pico de 66 Mhz, velocidad máxima del FSB hasta el lanzamiento de los chipsets 440LX/EX.

Los fabricantes alternativos de chipsets (VIA, ALi, etc.) hicieron la primera movida, llevando a los fabricantes de motherboards (Soyo, PC Chips, etc.) a seguir utilizando Socket 7, originalmente diseñado por Intel para el procesador Pentium, pero llegando el FSB hasta los 100 Mhz (siendo protagonista la línea de microprocesadores K6 de AMD).

La respuesta de Intel llegó en abril de 1998, con el lanzamiento del chipset 440BX (figura 35b.6), que llevó a la plataforma Pentium II a un desarrollo que en una primera instancia la equiparara con las plataformas de la competencia (incluye un FSB de 100 Mhz), y en una segunda superarlas, ya que incluye una nueva tecnología denominada *QPA (Quad Port Acceleration)*, luego utilizada por los mismos fabricantes alternativos de chipsets. QPA aumenta el ancho de banda en las transferencias que se realizan entre la CPU, el puerto AGP, la memoria del sistema y el bus PCI; o sea, es otorgada por el puente norte.

Otras características de este chipset son el soporte para procesamiento dual y la duplicación de performance en el puerto AGP (AGP 2x). Además, puede utilizarse al FSB en 66 Mhz, lo que brinda soporte a la primera generación de Pentium II y Celeron en los motherboards que utilicen al chipset 440BX.

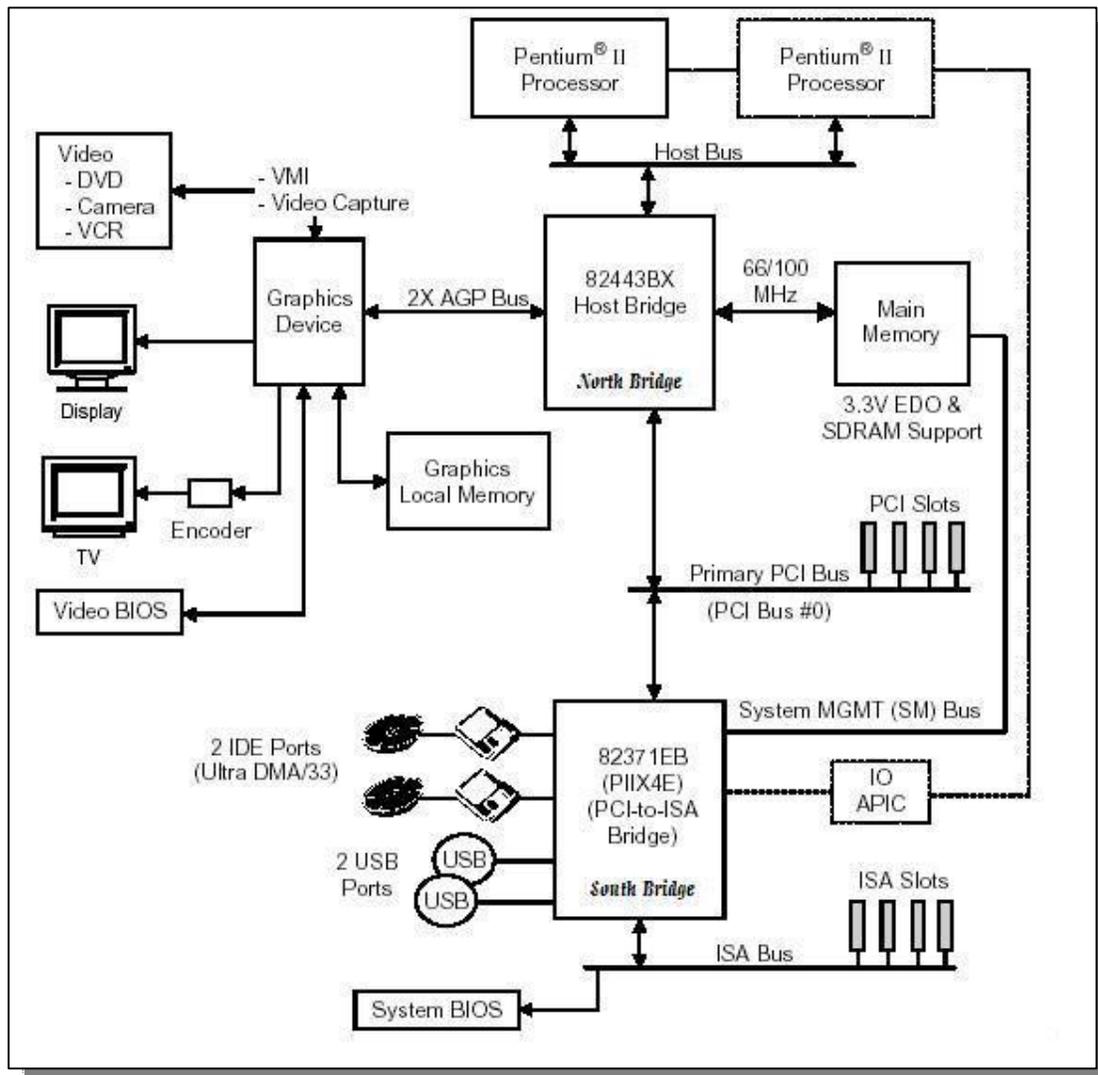


Figura 35b.6: Chipset 440BX para plataforma Pentium II

Luego del lanzamiento del chipset 440BX, que se convirtió en un estándar del mercado y fue utilizado por prácticamente todos los fabricantes de motherboards, Intel lanzó un modelo alternativo denominado 440ZX. Este fue la alternativa para factores de forma de menor costo (micro ATX) sin sacrificar considerablemente la performance del 440BX, lo que le permitió a los ensambladores de equipos del momento el hecho de poder disponer dos plataformas Intel que cubriesen todas las necesidades del mercado en lo que a computadoras de escritorio se refiere. Junto con el lanzamiento del procesador Pentium II Xeon (a mediados de 1998, aproximadamente), Intel presentó al chipset 440GX, una evolución natural del modelo 440BX, pensado para estaciones de trabajo de alta gama y servidores que trabajen con la nueva plataforma Xeon: soporte para Slot 1 y 2, AGP 2x, procesamiento dual y un máximo de 2 GB de memoria RAM.

Pero lo más destacado del chipset 440GX es un soporte denominado *full-speed backside bus operation*. Sabemos ya que el FSB (Front Side Bus) comunica a la CPU con el puente norte; además, todas las plataformas que incluyen un caché de segundo nivel (L2), además de un FSB, poseen un BSB (Back Side Bus) que se encarga de comunicar a la CPU con el caché L2.

En un chipset 440GX, el BSB funciona a la misma velocidad que el núcleo de la CPU. Recordemos que el microprocesador Pentium II fue el primero el utilizar la arquitectura DIB (Dual-Independent Bus), que le permite utilizar de forma simultánea a los buses FSB y BSB.

2.4 LAS PLATAFORMAS PENTIUM III

2.4.1 82810 y 81810-DC100

Los modelos **82810** y **81810-DC100** fueron, simultáneamente, los primeros chipsets que se lanzaron (a mediados de 1999) para la plataforma Pentium III y la nueva generación de microprocesadores Celeron. Ambos tienen una nueva arquitectura, **basada en tres chips**, como podemos ver en la figura 35b.7 (que muestra una plataforma Pentium III basada en el chipset 82810):

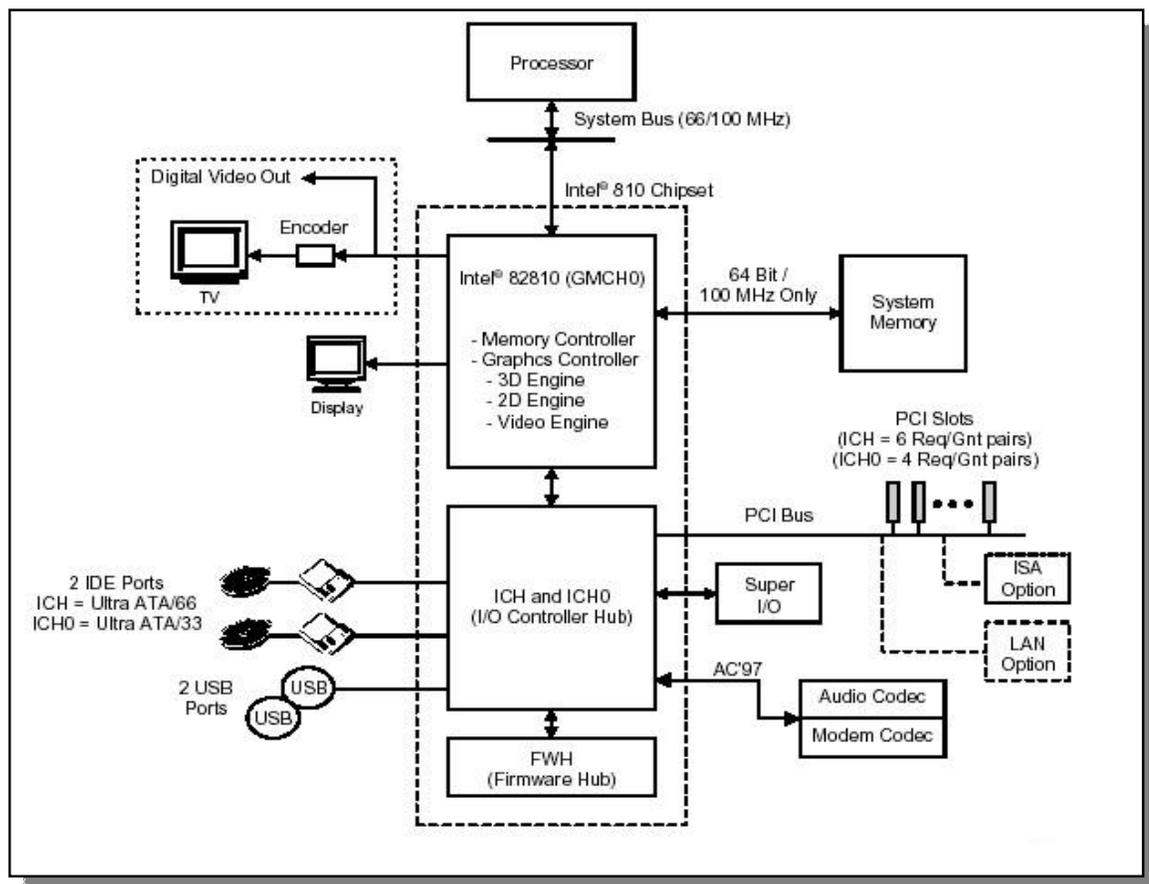


Figura 35b.7: Plataforma Pentium III/Celeron sobre el chipset 82810

El sucesor del puente norte está constituido por un chip denominado **Graphics Memory Controller Hub (GMCH)**, el chip que suple la función del puente sur recibió el nombre de **I/O Controller Hub (ICH)**, y aparece en escena un nuevo chip llamado **Firmware Hub (FWH)**, que contiene dos BIOS: el perteneciente al sistema y el del video integrado.



El quiebre tecnológico se produce, teniendo en cuenta a las plataformas anteriores basadas en la arquitectura puente norte- puente sur, porque estos chips no se comunican entre sí a través del bus PCI: **logran la comunicación mediante un bus dedicado de 8 bits a 266 MB/S, incrementado la performance de interacción entre los componentes del chipset y alivianando la carga del bus PCI.** Este principio de funcionamiento del chipset hace a la esencia de todas las plataformas Pentium III.

Las funcionalidades de “puente norte” por parte del chip **GMCH** (figura 35b.8) se desarrollaron ampliamente. Estas son sus características:

- Soporte para sólo un microprocesador.
- Bus de sistema de 64 bits a 66/100 Mhz.
- Memoria del sistema a 64 bits con optimización para SDRAM a 100 Mhz.
- Motor de gráficos 2D y 3D integrados.
- RAM DAC (Digital-to-analog-converter) de 230 MHz integrado.
- Puerto de salida de video digital integrado.
- 4 MB de caché de video (sólo en el modelo 82810-DC).

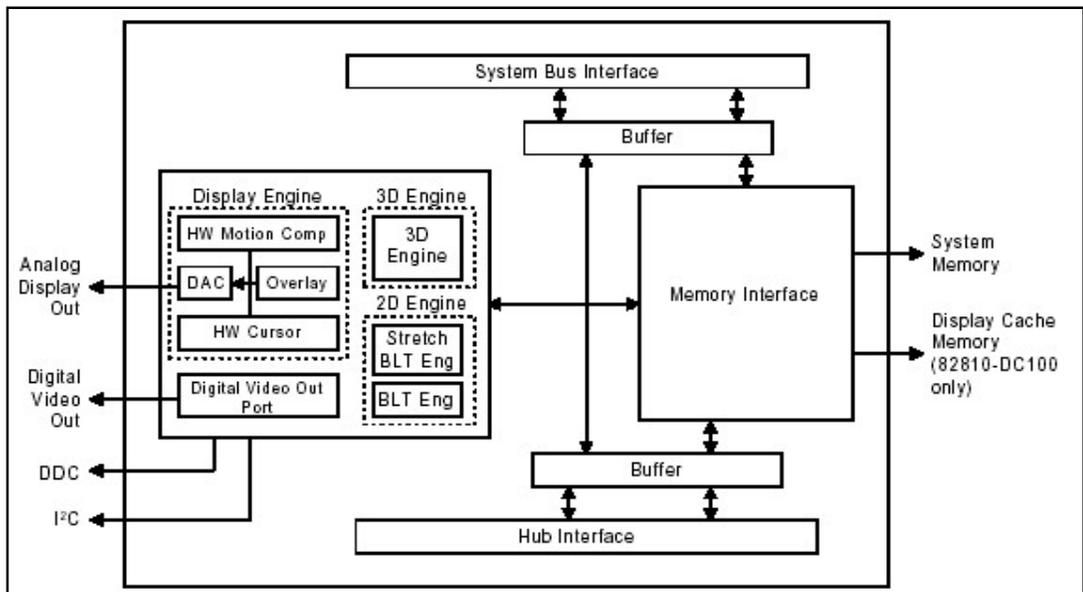


Figura 35b.8: Graphics Memory Controller Hub (GMCH) para modelos 82810/81810

El chip GMCH es enlazado por el bus *dedicado* al **ICH** (I/O Controller Hub). Este último (ver figura 35.7) enlaza al chipset con el Super I/O y el bus PCI: la arquitectura abierta de este último permite colgar del mismo soporte ISA (mediante un chip adicional) ya que no existe soporte ISA nativo en estas plataformas. Además, el chip contenedor del **codec AC'97** (primera solución de audio digital y/o comunicaciones en plataformas PC con interacción del chipset del motherboard) también se comunica ICH mediante. AC'97 no sólo permite implementar nuevas soluciones de audio digital (ver capítulo 19, sección 5.7.5), sino también módems, mediante una conexión directa entre el chip codec AC'97 y un **slot AMR** (Audio Modem Riser).

Lo que diferencia al modelo 81810-DC100 del 82810 es que este último soporta transacciones de hasta 66 Mhz sin memoria dedicada sobre AGP, mientras que el primero llega hasta los 100 Mhz con 4 MB *on-board* (en la plataforma) dedicados a ser memoria dedicada de video. Dentro del modelo 82810, la arquitectura AGP utiliza 11 MB de memoria del sistema para el almacenamiento de *frames*, texturas y el direccionamiento del eje Z (motor 3D). En una plataforma con el chipset 81810-DC 100 esta cantidad se reduce a 7 MB, ya que el chipset tiene implementado un caché exclusivo dedicado a AGP. Esta variable de configuración de video es denominada por Intel como **Direct Video Memory Technology** (*tecnología de memoria de video directo*).

2.4.2 Modelos 810E y 810E2

A finales de 1999, hizo su aparición en el mercado el modelo 810E, que extendió el soporte del procesador hasta los 133 Mhz. Además, posee implementada una tecnología de arbitraje de aceleración que permite un trabajo continuo y transparente con buses de CPU a 66, 100 y 133 Mhz, brindándole a la plataforma gran performance y estabilidad. El modelo 810E2 otorga soporte ATA 100, algo que no brindaba su antecesor. Al que igual que los modelos 81810-DC100 y 82810, ambos chipsets soportan tanto a Pentium III como a Celeron para zócalo PGA 370.

2.4.3 El modelo 820 y el soporte RDRAM

En la siguiente figura (35b.9) podemos visualizar una plataforma basada en el chipset 82820.

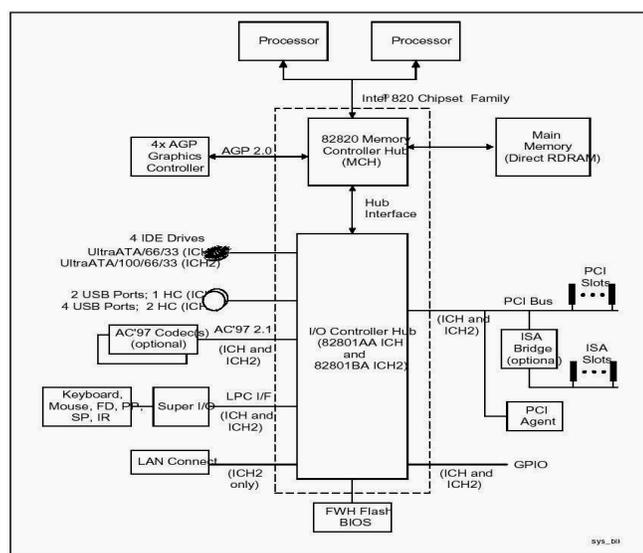


Figura 35b.9: Plataforma basada en el chipset 82820 de Intel

Originalmente, el lanzamiento del chipset 82820 estaba planeado junto con el correspondiente al lanzamiento del procesador Pentium III, o sea, a comienzos de 1999, pero recién salió a luz unos días antes del año 2000. La causa de esta demora (que le costaron a Intel no tener por un buen tiempo un chipset que soportara al bus de sistema a 133 Mhz, siendo casi simultáneo el lanzamiento conjunto con los modelos 810E, siendo estos últimos más pensados para Celeron que para Pentium III) se debió fundamentalmente a la inclusión de la tecnología RDRAM, de Rambus. La idea original de Intel era brindar soporte RDRAM en todas sus plataformas de 133 Mhz para Pentium III, pero por una cuestión de tiempos y de mercado no pudo ser así y fue incluida recién en el chipset 82820.

Como puede verse en la figura 35b.10, la tecnología RDRAM provee un máximo ancho de banda teórico de 1.6 GB/S, exactamente el doble que el máximo teórico que brinda SDRAM (800 MB/S). Como el chipset 82820 además soporta AGP 4x, los procesos que involucran gráficos pueden acceder a la memoria del sistema a más de 1 GB por segundo, el doble sobre AGP 2x (500 MB/S).

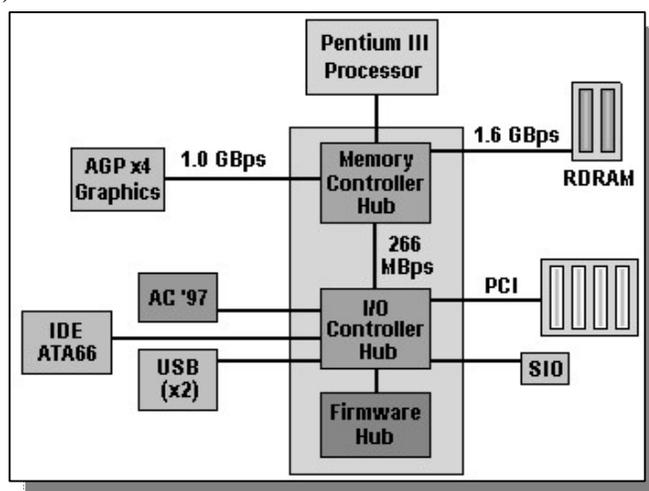


Figura 35b.10: Comparativa de anchos de banda en un chipset 82820

El resultado final de la combinación RDRAM-AGP 4x es una poderosa comunicación entre los componentes críticos de hardware pertinentes sobre el video de alta calidad en una plataforma PC, y está pensada brindar soporte a todos los desarrollos de hardware y de software que involucren aceleración gráfica.

Como puede verse en las figuras 35b.11 y 35b.12, el chipset 82820 utiliza la arquitectura basada en hubs que vimos ya en los chipsets de la línea 810. Originalmente, el chipset 82820 fue el primero en incluir esta arquitectura, ya que fue este el primer chipset que Intel empezó a desarrollar para Pentium III, pero ya sabemos los motivos por los cuales fue lanzado casi conjuntamente con los últimos modelos de la línea 810.

Muy poco tiempo después del lanzamiento del chipset 820, Intel desarrolló un nuevo chip denominado **MTH (Memory Translator Hub)** denominado **82805**, que al ser implementado en un motherboard con un chipset 820 brinda la posibilidad de utilizar SDRAM a 100 Mhz. Este nuevo desarrollo se debió a que la inclusión del soporte RDRAM trajo aparejado grandes costos de producción, cuya consecuencia directa fue el aumento de los costos de venta: la alternativa de utilizar SDRAM entonces se justificó con el mantenimiento de un precio razonable a la hora de vender al chipset 820. También se lanzó un nuevo modelo, denominado

820E, que incluyó un nuevo ICH denominado **ICH2**, que brinda mayor performance a la plataforma.

Sin embargo, luego de unos meses, se descubrió un *bug* dentro del MTH. Este descubrimiento causó la discontinuidad de fabricación y venta de este chipset por parte de Intel, y como era imposible reparar a los motherboards defectuosos la política de la firma fue reemplazarlos por modelos 820 sin MTH con memoria RDRAM, pudiendo así recompensar a los usuarios de chipsets 820 con MTH incluido.

2.4.4 La línea 815

Los problemas de demora que fueron producidos por la inclusión de RDRAM y la aparición del *bug* en el MTH del 820 llevaron a Intel a hacer algo que el mercado demandaba: el lanzamiento de un chipset con soporte **SDRAM a 133 Mhz**. A mediados del año 2000, entonces, salieron al mercado los modelos 82815, 82815E y 82815EP (figura 35b.13).

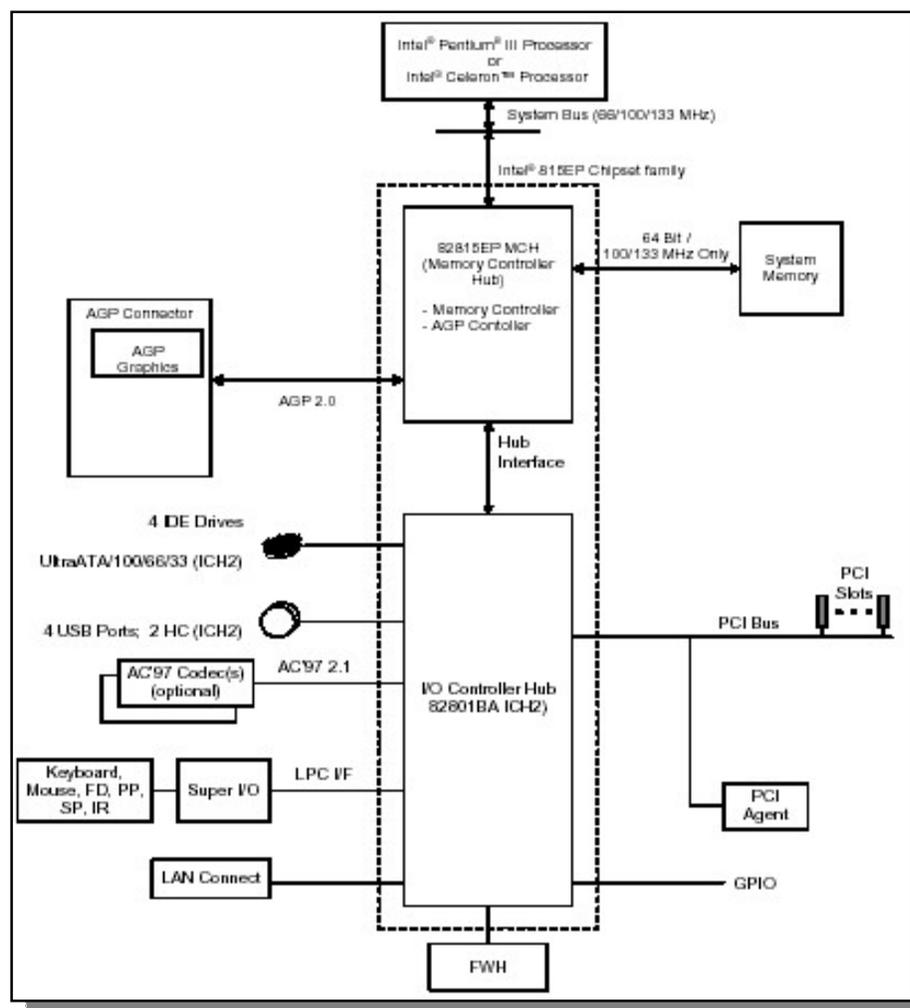


Figura 35b.11: Plataforma basada en el chipset 82815EP de Intel

Tanto el modelo 815 como el 815E utilizan al **GMCH** (Graphics Memory Controller Hub), ya introducido en el chipset 810. Este soporta memorias **SDRAM** de 133 y 100 Mhz y un dispositivo de video AGP integrado, que incluye un **RAM DAC** de 230 Mhz y **aceleración 3D li-**

mitada. Estas prestaciones le dan la posibilidad a los fabricantes de motherboards (que deseen utilizar estos chipsets) de implementar una solución gráfica de bajo costo y solvente rendimiento.

Adicionalmente (como anteriormente sucedió con el modelo 820E) el modelo 815E incluye el nuevo **ICH2**, que provee un controlador USB adicional, dos controladoras ATA 100, una interfaz **LAN** vinculada a una controladora **Fast Ethernet** (una solución efectiva y de bajo costo en lo que a comunicaciones locales se refiere) y soporte para audio de seis canales (Dolby Digital 5.1) mediante el codec **AC'97 2.2**. Posteriormente, la alternativa de expansión AGP fue cubierta con el modelo 815EP.

2.5 LAS PLATAFORMAS PENTIUM 4

2.5.1 La línea 850

Diseñado conjuntamente con el microprocesador Pentium 4, el chipset 850 representa una evolución natural de la arquitectura basada en hubs con comunicación dedicada. Podemos ver su diseño en la figura 35b.14.

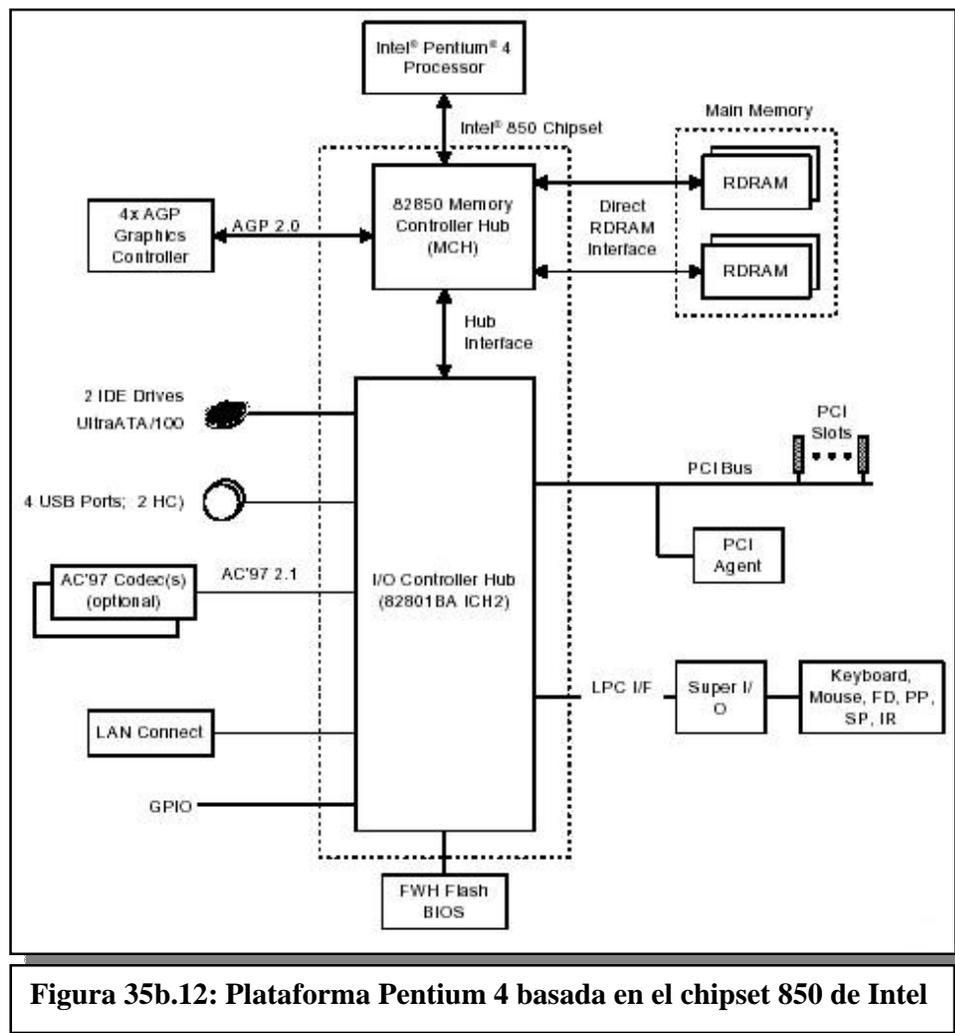


Figura 35b.12: Plataforma Pentium 4 basada en el chipset 850 de Intel

Conteniendo nuevos chips **MCH** (Memory Controller Hub) e **ICH2** (I/O Controller Hub 2), denominados **82850** y **82801BA** respectivamente, el chipset 850 brinda nuevas posibilidades:

- *Bus del sistema a 400 Mhz.*
- *Canal dual de memoria con tecnología RDRAM, que brinda un ancho de banda de 3.2 GB/S hacia la CPU.*
- *Soporte AGP 4x de 1.5 V, con acceso al puerto a más de 1 GB por segundo.*
- *Dos controladoras USB, con acceso a más de 24 MB por segundo sobre los 4 puertos.*

La combinación existente entre el microprocesador Pentium 4 y la tecnología RDRAM dual se implementa en escenarios de alta gama, ya que brinda **533 Mhz al bus del sistema**.

2.5.2 La línea 845

A comienzos del año 2001, los ensambladores de equipos se vieron obligados a integrar las no precisamente muy baratas memorias RIMM en la venta de plataformas Pentium 4. Este hecho trajo consigo la aparición, durante el transcurso del 2001, de chipsets fabricados por Via, SiS, etc. que brindaron soporte SDRAM y DDR para Pentium 4. Esta movida fue desaprobada por Intel en una primera instancia, pero luego, al verse incrementadas las ventas del nuevo microprocesador por el uso de estas plataformas alternativas, la situación del mercado obligó al lanzamiento del chipset *de Intel* que brindara soporte SDRAM y DDR. El mismo recibió el nombre **845** y podemos ver su diseño en la figura 35b.15.

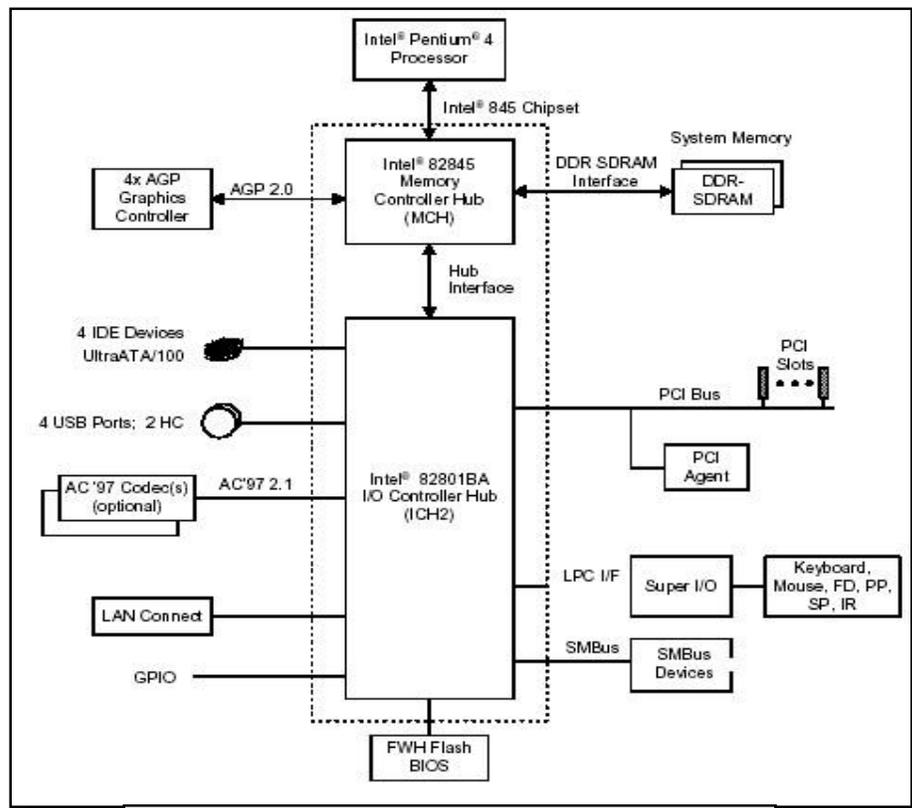


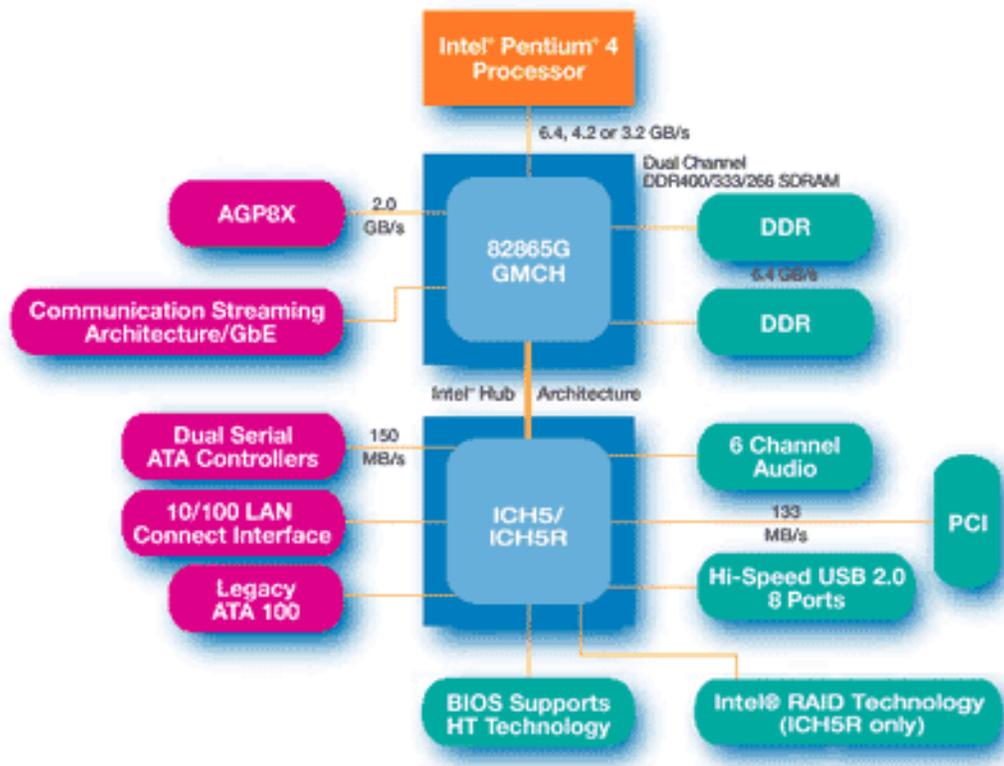
Figura 35b.13: Plataforma Pentium 4 basada en el chipset 845 de Intel

Existen actualmente en el mercado diversas variantes del chipset 845 que soportan 400, 533 u 800 Mhz de FSB.

2.5.3 Línea 865

El chipset Intel 865 ocupa el lugar del 845, con el agregado de algunas nuevas e innovadoras tecnologías a saber:

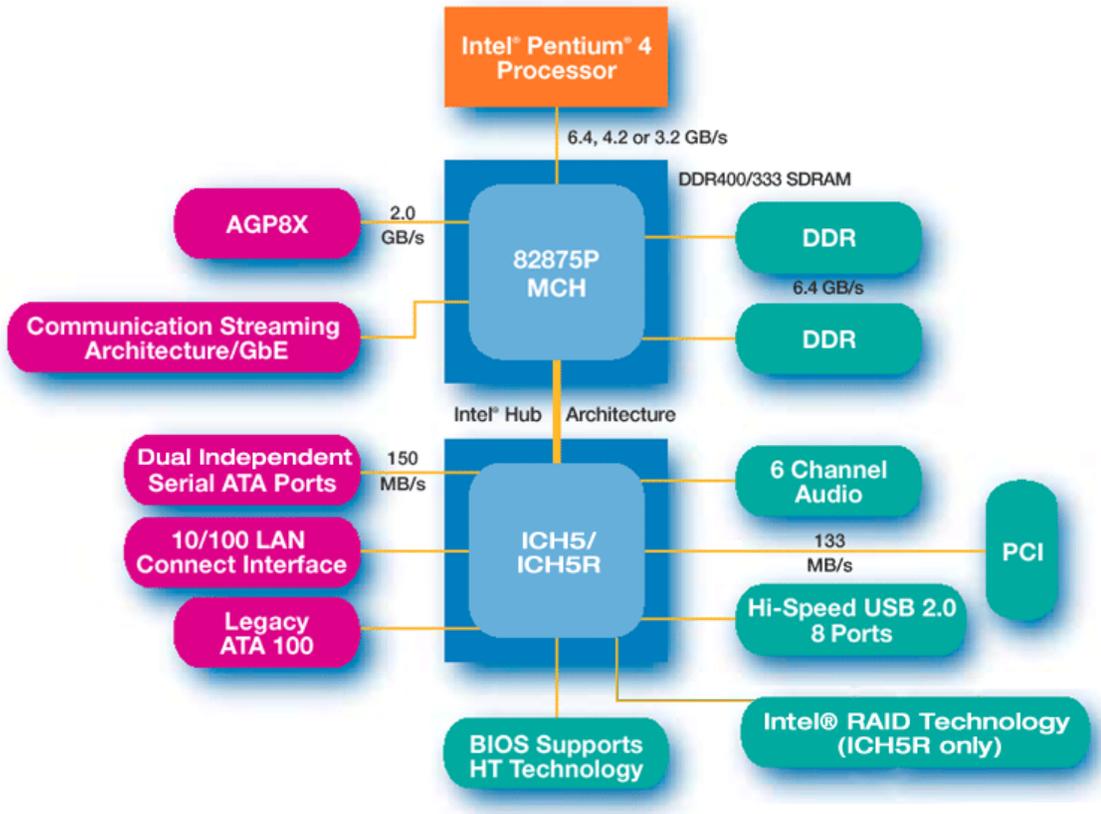
- Compatibilidad de FSB desde 400 a 800 MHz.
- Soporte para Hyper Threading.
- Controlador de memoria DDR dual-channel de 64 bits, para memorias hasta DDR-400.
- CSA (Communication Streaming Architecture) Arquitectura de bus mejorada para Gigabit Ethernet. Es un canal específicamente diseñado para comunicarse con controladoras de red que tienen velocidad de transferencia de 1 Gigabit por segundo a través de un cableado de red adecuado.
- 8 canales USB 2.0.
- Solución de Sonido 5.1.
- 2 Canales S-ATA independientes. (Soporte para RAID)



2.5.4 Línea 875

Esta línea de chipsets viene a ocupar el lugar dejado por la el 850, o sea es la línea de más alta gama de chipsets para Pentium 4. Sus características más sobresalientes son FSB de 800 MHz., soporte para Hyper threading, Controlador Dual-channel DDR-400 pero con soporte para memorias ECC, PAT (Performance Acceleration Technology), que introduce mejoras en el acceso al controlador de memoria e incrementa su performance, CSA (nuevo bus dedicado

específicamente desarrollado para Gigabit Ethernet) y canales S-ATA nativos con funcionalidad RAID. Opuestamente al 865 solo soporta procesadores con FSB de 533 u 800MHz, no así los de 400 MHz.



2.6 UNA VEZ MÁS, NUEVAS NECESIDADES Y NUEVAS SOLUCIONES: LAS PLATAFORMAS PARA XEON E ITANIUM

Hoy en día, las redes de computadoras no son lo que eran en la época del lanzamiento del procesador Pentium Pro y sus correspondientes chipsets. Como ya vimos anteriormente en este documento, ese procesador y esos chipsets fueron los pioneros en el desarrollo de plataformas PC para servidores de red de alta gama. En esos momentos de antaño, las redes de computadoras todavía estaban en pleno proceso de expansión y desarrollo, hoy en día son la base, de, por ejemplo, Internet. O sea: aunque es imposible, a veces parece que hay más redes que computadoras. Es por eso que las plataformas para servidores que sucedieron a Pentium Pro trajeron aparejadas consigo los desarrollos *de punta* por parte de Intel, justamente para fortalecer y estimular los recursos brindados por los servidores de red.

2.6.1 Las plataformas Xeon

2.6.1.1 El chipset 860

El modelo 860 de Intel fue el primero en soportar al microprocesador Xeon. Podemos ver un diagrama de una plataforma Xeon en la figura 35b.16.

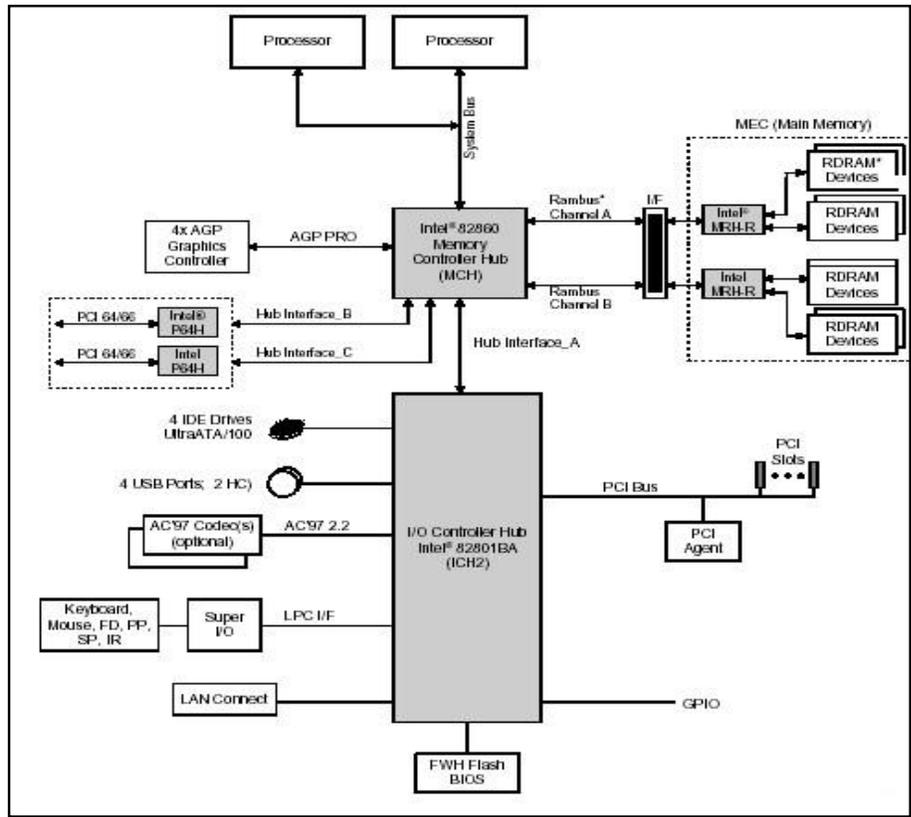


Figura 35b.14: Plataforma Xeon basada en el chipset 860 de Intel

El chipset 860 está compuesto por los siguientes estándares:

- El chip **82860** toma el rol de **MCH** (Memory Controller Hub), o sea, vincula a la unidad central de proceso con la memoria del sistema, el puerto AGP y cumple las funcionalidades de puente norte dentro del chipset, comunicándose con este de forma dedicada por su diseño de *hub*. Soporta dos canales duales RDRAM, AGP 4x 1.5 V y dos vinculaciones opcionales: una a un chip denominado **82806AA**, un *controlador PCI de 64 bits* con soporte a dispositivos PCI 64 bits/66 Mhz con un ancho de banda de 533 MB/S, y otra a otro chip, llamado **82803AA**, cuya función recibe el nombre de **MRH** (Memory Repeater Hub), *ya que divide cada canal de memoria en dos*, permitiéndole a la plataforma utilizar más memoria RAM.
- El chip **82801BA** toma el de **ICH2** (I/O Controller Hub 2), ya que provee las funcionalidades de puente de sur con comunicación dedicada, brindando todos los servicios Super I/O de la plataforma (PCI 32, ATA 100, LAN integrada, AC'97 2.2 y 2 puertos USB).

2.6.1.2 El chipset E7500

El chipset de más alta gama fabricado para Xeon, el modelo E7500, es en sí una nueva bisagra en esta historia, ya que es el primer chipset desde los modelos 810 que denota una evolu-

ción dentro de la arquitectura de hubs. Podemos ver una plataforma Xeon montada en este chipset en la figura 35b.17.

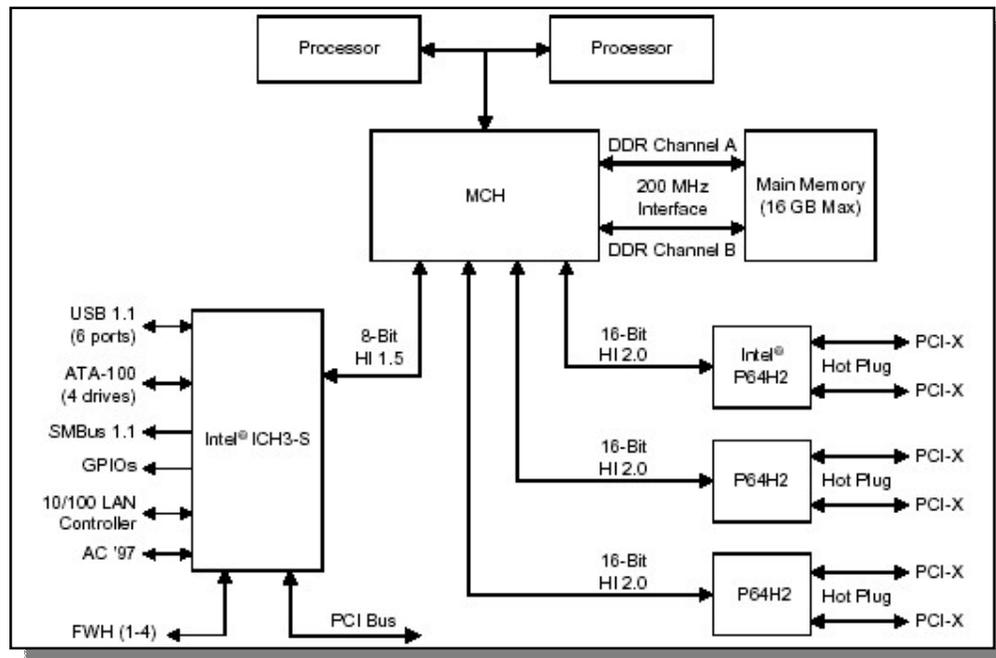


Figura 35b.15: Plataforma Xeon basada en el chipset E7500 de Intel.

Dentro del chipset E7500, el chip *MCH* carga con la mayoría crítica de la evolución citada anteriormente. En primer lugar, introduce un controlador de memoria de un canal **DDR dual de 72 bits**, con soporte a memorias de 200 y 266 Mhz (sin embargo, el bus de memoria operará a 100 Mhz, la velocidad base de las memorias DDR de 200 Mhz: esto significa que al usar memorias DDR de 266 Mhz, estas funcionarán a 200 Mhz).

Este canal DDR dual a 200 Mhz tiene un ancho de banda teórico de 3.2 GB/S, *el mismo ancho de banda que el FSB*. Como en algunas tecnologías anteriores, el hecho de que el bus de memoria y la CPU funcionen en exacto sincronismo de velocidad produce una notable baja en tiempos de latencia en el acceso CPU-RAM y viceversa.

Dentro de esta plataforma, Intel tiene planeado llevar al FSB a 133 Mhz, lo cual indicaría la aparición de un sucesor del chipset E7500 con soporte DDR a 266 Mhz. Por el momento, el modelo E7500 soporta hasta 16 GB de RAM en sus 8 bancos de memoria, pero al ser una solución implementada en un canal dual las memorias en esta plataforma deben ser integradas de a pares.

En segundo lugar, las funcionalidades I/O del chipset han sido mejoradas notablemente con la inclusión de una nueva metodología de comunicación entre los hubs que forman parte del mismo. Hagamos un poco de historia: sabemos ya que los primeros eslabones en lo que a arquitectura de hubs dentro de un chipset se refiere fueron los modelos 810. La arquitectura de hubs fue, en ese momento, la evolución natural del tradicional esquema puente norte-puente sur. ¿Cómo? Comunicando a ambos puentes mediante un *bus dedicado* de 8 bits a 133 Mhz.

Esta tecnología recibió el nombre de **Hub Link 1.0**. El chipset E7500 introduce la versión 2.0 de este diseño.

Ahora. ¿De qué sirve tener semejante ancho de banda en transferencias que involucran al Super I/O? ¿No es demasiado? La respuesta es no, si vamos a utilizar esta tecnología en un servidor actual de altos requerimientos (recordemos que ya no estamos en la época del Pentium Pro). Esos requerimientos, por ejemplo, hacen referencia al soporte RAID múltiple (espejado de información en más de dos discos rígidos) y a transferencias sobre Gigabit Ethernet (escenario de red que otorga transacciones de datos a 1 Gb/s), procesos que demandan grandes velocidades de movimiento de información y se vinculan con la plataforma de un servidor mediante la solución Super I/O que brinda el chipset.

Además, como podemos ver en la figura 35b.15, el bus PCI corresponde a una especificación denominada **PCI-X**. Cuando PCI nació (casi conjuntamente con el desarrollo de las primeras plataformas para Pentium) se definió a la primera especificación de la tecnología, llamada PCI 1.0. Durante la evolución tecnológica de las plataformas posteriores, PCI evolucionó también, llegando hoy en día al estándar tecnológico impuesto por la especificación PCI 2.2. Aparentemente **PCI-X** (actualmente rondando la versión 2.0) será la especificación sucesora a la 2.2, imponiendo las siguientes características:

- Ancho de banda de 4.3 GB/s (PCI 2.2 = 2.1 GB /s).
- Chequeo y corrección de errores.
- Compatibilidad con especificaciones anteriores asegurada. Las plataformas Itanium



El chipset E7500 incluye 3 conexiones Hub Link 2.0 a la salida del chip MCH, operando todas en 16 bits a 266 Mhz, teniendo así un ancho de banda máximo teórico de 3.2 GB/S *para tareas de Super I/O, igualando el ancho de banda del FSB y el bus de memoria.*

2.6.1.3 Itanium y el chipset 460GX

La línea Itanium corresponde a los últimos desarrollos de microprocesadores de próxima generación por parte de Intel, como puede verse en el módulo A de este capítulo a partir del apartado 5.5. Itanium 2 es, hoy en día, el único microprocesador que a logrado una continuidad en el mercado por parte de Intel: el primer Itanium y su chipset (el modelo 460GX) han quedado prácticamente discontinuados, porque Intel mismo considera que el desarrollo alcanzado por la plataforma diseñada para Itanium 2 y el chipset E8870 (ver figura 35b.18) supera ampliamente en estabilidad y rendimiento a los componentes de la primer plataforma Itanium. El chipset E8870 para Itanium 2

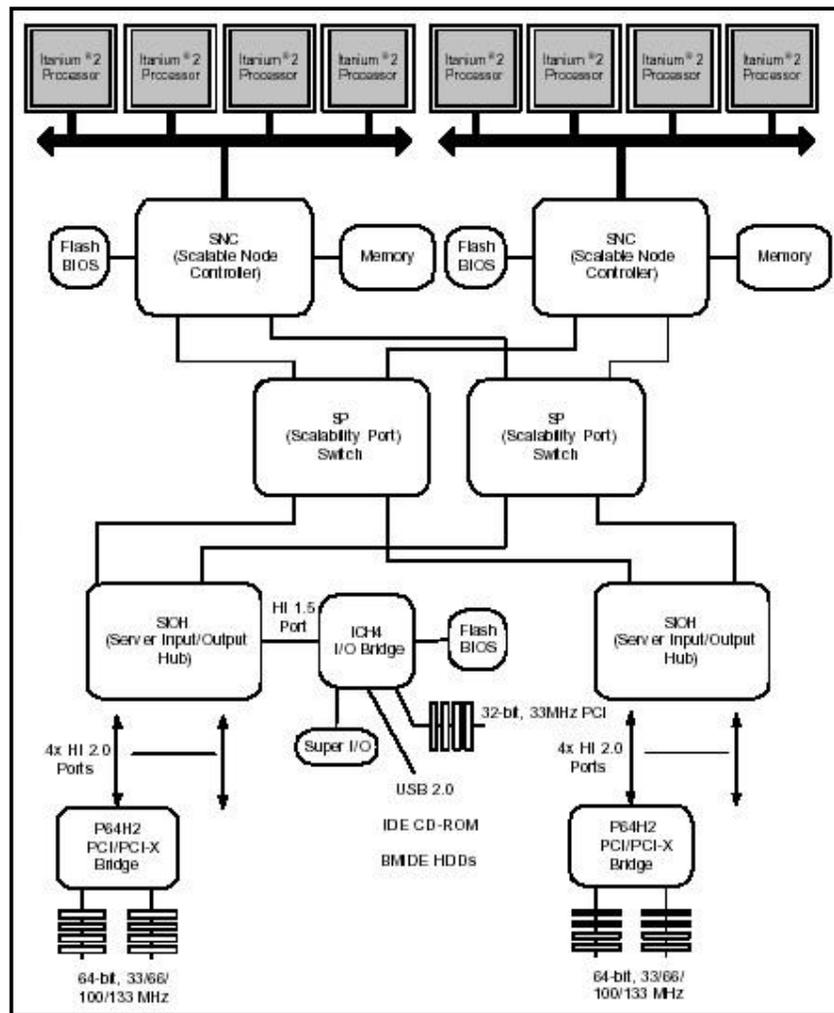


Figura 35b.16: Plataforma Itanium multinodo basada en el chipset E8870 de Intel

La arquitectura del chipset E8870 es *escalable*. Esto significa que los fabricantes de motherboards que elijan utilizar a este chipset pueden optar cual va a ser el soporte final en cantidad de microprocesadores por parte del mismo: esto depende de la cantidad de chips controladores de nodos escalables (*SNC*'s, siendo *Scalable Node Controller* el desglose de la sigla) que sean incluidos en la plataforma. Cada chip *SNC* brinda un soporte de hasta 4 microprocesadores Itanium 2, pero puede incluirse la cantidad necesaria para dar soporte al total de procesadores deseados (por ejemplo, 16 chips *SNC* darían soporte a 64 procesadores). Dentro de la plataforma, estos chips se ubican entre los procesadores mismos y unos chips dedicados que cumplen la función de *switchear* el uso de los procesadores, denominados chips *SPS* (Scalability Port Switch): este *switch* determina en cuales procesos son utilizados los procesadores vinculados a cada chip *SPS* y en cuales no. Cada chip *SPS* está vinculado de forma directa con los componentes básicos del chipset, los chips *SIOH* (Server I/O), que enlazan a los buses de expansión y el Super I/O con la memoria del sistema y los procesadores Itanium 2. Para comprender mejor esta descripción, aconsejamos volver a observar la figura 35b.16.

3 MEMORIAS RAM

La memoria RAM es el lugar donde son depositados los programas y los datos que están en uso. Con el consiguiente aumento del tamaño de estos, la demanda de memoria RAM en cuanto a su capacidad ha ido en aumento a través de estos últimos años a un ritmo muy acelerado. Pero no solamente la capacidad es la única demanda, la velocidad con la que se mueven los datos es también una solicitud permanente. Podríamos clasificar las memorias RAM de la siguiente manera:

- Caché de nivel 1 (Level 1 caché)
- Caché de nivel 2 (Level 2 caché)
- Caché de nivel 3 (Level 3 caché)
- Memoria principal
 - DRAM
 - FPM DRAM
 - EDO RAM
 - BEDO RAM
 - SDRAM
 - PC 66
 - PC 100
 - PC 133
 - DDR DRAM
 - PC1600
 - PC2100
 - PC2700
 - PC3200
 - PC4200
 - RDRAM
 - 16 bits
 - 32 bits
 - 64bits
 - DDR2
 - PC2-3200
 - PC2-4300
 - PC2-5300

3.1 CACHÉ DE NIVEL 1:

La caché de nivel 1 es también llamada caché primaria. Se encuentra dentro de la CPU (microprocesador) y es utilizada para lograr almacenamiento temporal de instrucciones y de datos. Es una memoria que trabaja a gran velocidad, por eso se le atribuye la característica **Zero Wait-State** (estado de espera igual a cero): dicho en otras palabras, el procesador accede al caché de nivel 1 de manera instantánea, prácticamente sin tiempos de demora.

Esta memoria se utilizó primeramente con capacidades de 16 KB; más adelante el procesador Pentium MMX incorporó el doble de memoria (32 KB) y posteriormente el procesador AMD K6 II incorporó 64 KB. La construcción de esta memoria se basa en la tecnología SRAM (Static RAM, o sea RAM estática), siendo esta muy costosa ya que lleva una cantidad elevada de integrados electrónicos.

3.2 CACHÉ DE NIVEL 2:

Esta caché está diseñado para darle al microprocesador un segundo nivel de almacenamiento temporal de datos y procesos sin que este deposite estos en la memoria RAM principal. En los primeros tiempos de su implementación estaba ubicada como un zócalo de expansión en el motherboard, pero a partir del procesador Pentium PRO se incorporó dentro de la CPU, primeramente funcionando a la mitad de la velocidad de la misma y más adelante a la misma velocidad. La cantidad de caché L2 varía según el procesador, la cantidad típica es de 256 o 512 KB, y también para procesadores de gama alta se encuentran en cantidades de 1 MB o más.

3.3 CACHÉ DE NIVEL 3

Es el último nivel de caché existente hasta el momento y su función, de estar presente, consiste en aumentar el almacenamiento de los procesos antes de ser depositados en la memoria principal. Para los procesadores de la línea AMD (K6 III por ejemplo) este nivel de caché está implementado en el motherboard. Intel, por su parte, incorporó caché L3 en su línea de procesadores para servidores Itanium II (64 bits), Xeon MD (32 bits) y el Pentium IV Extreme edition.

3.4 MEMORIA PRINCIPAL

Luego de almacenar información temporalmente en las memorias caché, el microprocesador utiliza para las grandes transacciones de datos a la memoria RAM de la plataforma. Procederemos ahora a clasificarlas por su tecnología.

3.4.1 DRAM

DRAM (Dynamic Random Access Memory) es la tecnología de memoria RAM más utilizada hoy en día. Su funcionamiento depende de un circuito que *refresca* los datos guardados en ella (o sea, los borra si no son utilizados dentro de un determinado margen de tiempo), y como este proceso de refresco es constante se le da el nombre *dynamic* (dinámica). El costo de fabricación de este tipo de memorias es más barato que el de las SRAM (que son dinámicas, o sea, son *estáticas*), simplemente por requerir de menos integrados electrónicos (aproximadamente, alrededor de la mitad). La memoria DRAM está construida a partir de un sistema de columnas y filas, esta organización se conoce de acuerdo al método de acceso a los datos y son dados a llamar **RAS** (**ROW ADDRESS SELECT**) y **CAS** (**COLUMN ADDRESS SELECT**). Cada uno de estos métodos deposita cada bit en una celda individual.

3.4.2 FPM (FAST PAGE MODE)

Esta variante de la tecnología DRAM acelera el acceso a los datos seleccionando, dentro de la memoria, múltiples columnas a partir de la primera fila elegida.

3.4.3 EDO (ENHANCED DATA OUT)

Es una tecnología de memoria usada a partir de los procesadores Pentium que contienen dos tuberías (*pipelines*) en las cuales mientras el controlador de memoria lee un dato, *resetea* el mismo para la operación siguiente, acelerando el acceso y transferencia de las mismas.

3.4.4 SDRAM (SYNCHRONOUS DRAM)

Es la tecnología más difundida hoy en día. Su funcionamiento está ligado al reloj del sistema (es *sincrónico*), con lo cual debe entregar un dato cada ciclo del reloj. Esta entrega debe hacerse además en un modo especial de transferencia denominado **BURST** (ráfaga). Las memorias SDRAM pueden funcionar en la actualidad a 100 Mhz y 133 Mhz.

SDRAM tuvo éxito y se transformó en el nuevo estándar de tecnología de memoria RAM: la razón fundamental es la relación costo-rendimiento.

3.4.5 DDR DRAM (DOUBLE DATA RATE DRAM)

DDR DRAM es una tecnología de memoria que se ofrece como alternativa a las memorias DRDRAM, más adelante explicadas. Está basada en la tecnología SDRAM, es decir está atada al bus del sistema: la manera convencional de trabajo de SDRAM es colocar un bit en cada pulso de reloj, pudiendo ser en el flanco de subida (cuando el pulso cambia de cero a uno) o en el flanco de bajada (cuando el pulso cambia de uno a cero). DDR DRAM *coloca un bit en cada uno de estos flancos* (uno en el de subida y otro en el de bajada) duplicando la velocidad del bus. Por ejemplo, un bus de 100 Mhz trabaja a 200 Mhz con transferencias DDR.

En el siguiente cuadro se detallan las nomenclaturas y los anchos de banda correspondientes a esta tecnología de memoria:

PC100 SDRAM	PC133 SDRAM	PC1600 DDR	PC2100 DDR	PC2700 DDR	PC3200 DDR	PC4200 DDR
(8 Bytes x 100MHz) =800 MB/s	(8 Bytes x 133MHz) = 1.1 GB/s	(8 Bytes x 200MHz) = 1.6 GB/s	(8 Bytes x 266MHz) = 2.1 GB/s	(8 Bytes x 333MHz) = 2.7 GB/s	(8 Bytes x 400MHz) = 3.2 GB/s	(8 Bytes x 533MHz) = 4.2 GB/s

3.4.6 DDR2

Esta tecnología de memorias duplica la capacidad de transferencia de datos de las DDR estándar, esto significa que la memoria pone a disposición del controlador de memoria 4 datos por cada ciclo de reloj (recordar que DDR pone 2). Al cuadruplicar la transferencia de datos, la velocidad inicial de las memorias DDR2 fue reducida, arrancando en los 100 MHz que funcionarían como si de 400 MHz se trataran. La nomenclatura es DDR2-400, de ahí en más los nombres son DDR2-533 (133MHz x 4), DDR2-667 (166MHz x 4), etc. En la figura inferior pueden verse las diferentes velocidades y nomenclaturas propuestas.

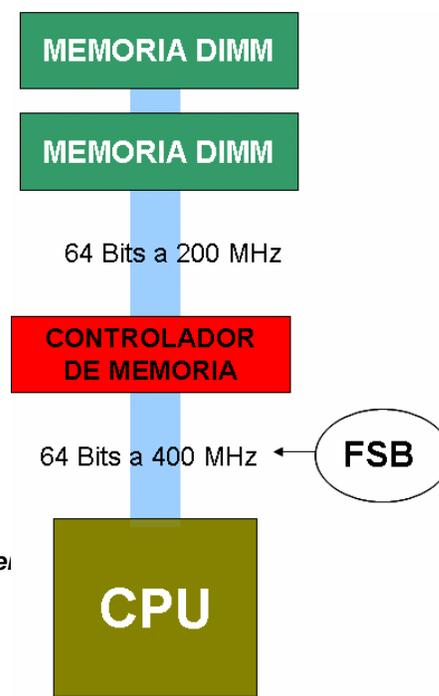
Memory Speed	Memory Chip Classification	Module Classification	Module Bandwidth	Dual-Channel DDR2 System Bandwidth
400 MHz	DDR2-400	PC2-3200	3.2 GB/sec	6.4 GB/sec
533 MHz	DDR2-533	PC2-4300	4.3 GB/sec	8.6 GB/sec
667 MHz	DDR2-667	PC2-5300	5.3 GB/sec	10.6 GB/sec

Un detalle relevante a tener en cuenta es que DDR 2 **no es compatible** con DDR, ya que utiliza zócalos de 240 pines físicamente diferentes a los módulos de 184 pines de las DDR. De la misma forma que éstas, las memorias DDR2 tienen soporte para Dual-Channel y utilizan un bus de 64 bits.

3.4.7 DUAL CHANNEL

La tecnología de memorias dual-channel se basó en la siempre creciente necesidad de transferir cada vez más cantidad de datos, entre el Procesador y el controlador de memoria. Como este canal siempre termina siendo el cuello de botella en un sistema informático, se desarrolló una nueva tecnología de controladores de memoria DDR que pueden funcionar con dos canales. El concepto partió desde la evidente desigualdad que existía en la capacidad de transferencia de información entre el FSB del procesador y las memorias, para ejemplificar hablemos de un CPU con un FSB de 64 Bits a 400 MHz de velocidad (tipo Pentium 4) en un Motherboard con memorias DIMM DDR de 64 Bits a 200 MHz de velocidad.

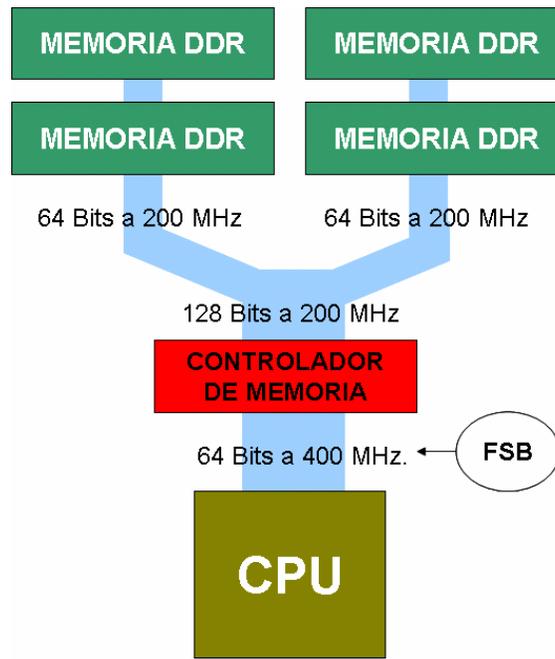
Para ilustrar el concepto de canal único o *single-channel* nos valdremos de la figura



que sigue:

Es relevante notar que el procesador posee un canal de comunicación mucho más veloz que la memoria, por lo tanto se producirá el citado cuello de botella dentro del controlador de memoria.

La solución propuesta fue dividir el canal de memoria en dos (*dual-channel*), permitiendo duplicar el flujo de datos provisto por el controlador de memoria, y equiparando la tasa de transferencia del FSB y el controlador de memoria (ver figura inferior).



Usando la fórmula para calcular el volumen de transferencia de un canal de comunicación:

$$\frac{\text{Ancho de Bus (en bits)} \times \text{Velocidad (en MHz)}}{8} = \text{Velocidad de Transferencia en MB/s}$$

Obtenemos que en la entrada del controlador de memoria hay una tasa de:

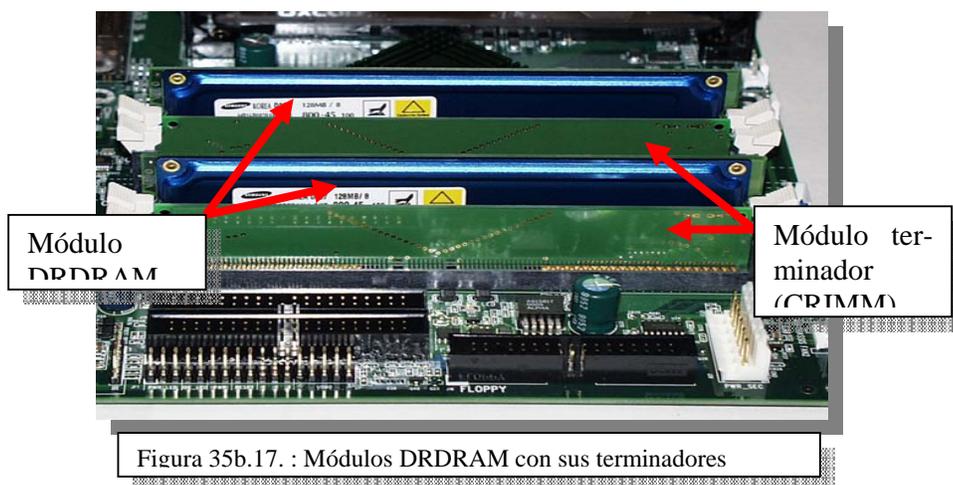
$$\frac{128 \text{ bits} \times 200 \text{ MHz}}{8} = 3200 \text{ MB/s}$$

Exactamente la misma tasa que en el FSB:

$$\frac{64 \text{ bits} \times 400 \text{ MHz}}{8} = 3200 \text{ MB/s}$$

3.4.8 DRDRAM (DIRECT RAMBUS DRAM)

Como hemos visto anteriormente, en un punto en el tiempo las tecnologías de memoria RAM llegaron a su velocidad máxima, limitando al resto del sistema formando uno de los llamados *cuellos de botella*. Intel (en colaboración con otra compañía llamada Rambus) desarrolló una tecnología llamada DRDRAM, con el objetivo de solucionar esta limitación de velocidad. La implementación de esta tecnología se realizó mediante un *sistema de canales*: un canal *Direct RAMBUS* incluye un controlador de memoria y uno o más módulos *RIMM Direct RDRAM* conectadas entre sí a través de un bus común (ver figura 35b.17).



Este controlador se encuentra en uno de los extremos del bus, y las *DRDRAM* son distribuidas a través del mismo, que a su vez está *terminado* en su extremo más lejano por un módulo CRIMM.

Actualmente se utiliza, en la tecnología utilizada en las plataformas Intel para procesadores Pentium 4 (a partir del chipset 850), el sistema de dos canales comentado ya en el capítulo 8. Los módulos DRDRAM utilizados en esa plataforma son de 16 bits a 800 Mhz. El ancho de banda de esta tecnología permite transmitir por un canal 1,6 GB/s; si lo multiplicamos por los dos canales nos permitiría alcanzar 3,2 GB/s en transferencias desde la memoria al chipset y viceversa. Por otra parte, el procesador Pentium 4 también puede sostener esa tasa de transferencia desde y hacia el chipset (*FSB* mediante), producto de su velocidad de 400 Mhz y sus 64 bits de ancho de bus. En la figura 35b.19 se muestra una comparativa entre las memorias actuales y las DRDRAM con su relación balanceada de transferencia de datos con respecto al procesador Pentium 4.

3.5 MÓDULOS Y CAPACIDADES

Hasta aquí enumeramos las tecnologías de memorias utilizadas en los distintos módulos a lo largo del tiempo. Ahora, y a modo de repaso de conocimientos ya vertidos en el capítulo 8, veremos las presentaciones de las memorias en sus respectivos módulos y sus capacidades:

- **SIMM:** Acrónimo de *Single In Line Memory Module*. Se fabricó en dos presentaciones:
 - **30 contactos:** su bus de datos era de 8 bits y se fabricaron en capacidades de 256 KB, 1 MB y 4 MB.
 - **72 contactos:** su bus de datos era de 32 bits y sus capacidades eran de 4 MB, 8 MB, 16 MB, 32 MB y 64 MB.
- **DIMM:** Acrónimo de *Double In Line Memory Module*. Las encontramos divididas en dos categorías tecnológicas:
 - **SDRAM:** **168 contactos**, bus de datos de 64 bits, fabricadas en capacidades de 16 MB, 32 MB, 64 MB, 128 MB, 256 MB y 512 MB. Estas memorias se utilizan hoy en día en la mayoría de las PC's, dado que su aparición surgió conjuntamente con la de los procesadores Pentium. Se han fabricado en diferentes velocidades, de acuerdo a como fueron evolucionando. Estas velocidades son las siguientes:
 - ▶ **PC 66:** Trabajan a 66 Mhz y fue la primera en salir conjuntamente con los primeros Pentium.

- ▶ **PC 100:** Trabajan a 100 Mhz y se incorporó al mercado con la salida de los Pentium II mayores de 350 Mhz.
- ▶ **PC 133:** Trabajan a 133 Mhz y se utilizó en Pentium III en adelante.
- **DDR:** 184 contactos, 64 bits de bus de datos. Velocidades desde los 200 MHz. Capacidades a partir de 32 MB.
 - ▶ **PC1600** Bus de 200 MHz.
 - ▶ **PC2100** Bus de 266 MHz.
 - ▶ **PC2700** Bus de 333 MHz.
 - ▶ **PC3200** Bus de 400 MHz
 - ▶ **PC4200** Bus de 533 MHz.
- **RIMM:** Acrónimo de *Rambus In Line Memory Module*, actualmente de 16 bits (los hay de 32 y 64 bits, que en un corto plazo podrían incorporarse al mercado) y sus capacidades son las siguientes: 64 MB, 128 MB, 256 MB, 512 MB. También hay otras presentaciones no tan comunes como 144 MB, 192 MB, 288 MB y 576 MB. Estos módulos soportan hasta 32 dispositivos RDRAM. Y los sistemas actuales dos o tres módulos por canal, en los motherboards de la firma Intel actualmente los canales son de 2 módulos cada uno.
 - ▶ Las velocidades de los módulos RIMM utilizadas actualmente son **PC600** (600 Mhz) y **PC800** (800 Mhz). Hay una nueva versión que trabaja a 1066 Mhz (**PC1066**) que está siendo utilizada en los motherboards INTEL 850EMV2. En un futuro a corto o mediano plazo estarán en circulación los módulos de 32 y 64 bits. Los módulos de 32 bits tendrán 232 contactos y podrán tener 800 Mhz de velocidad (PC800 o PC3200) o 1066 Mhz (PC1066 o PC4200), con una tensión de 2,5 Volts. Las ranuras de inserción (notch) cambian con respecto al módulo de 16 bits (ver figura 35b.19).



Figura 35b.19 : Módulo RIMM 32 bits

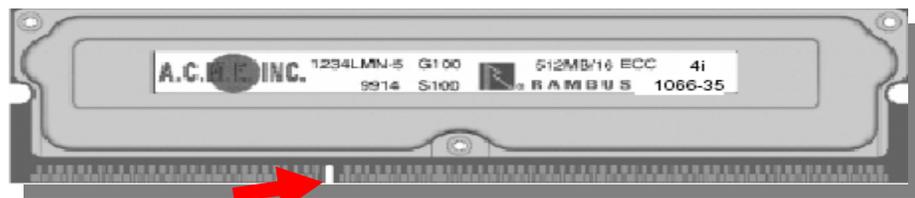


Figura 35b.20 : Módulo RIMM de 64 bits

Los módulos de 64 bits tendrán 326 contactos y operarán a las mismas velocidades que los de 32 bits y 1,8 Volts (ver figura 35b.20). Dadas las variadas particularidades que puede tener un módulo RIMM, se diseñó un modelo de etiqueta universal para su identificación en base a sus prestaciones. En la figura

35b.21, podemos ver esta etiqueta con una tabla indicadora de las características del módulo.

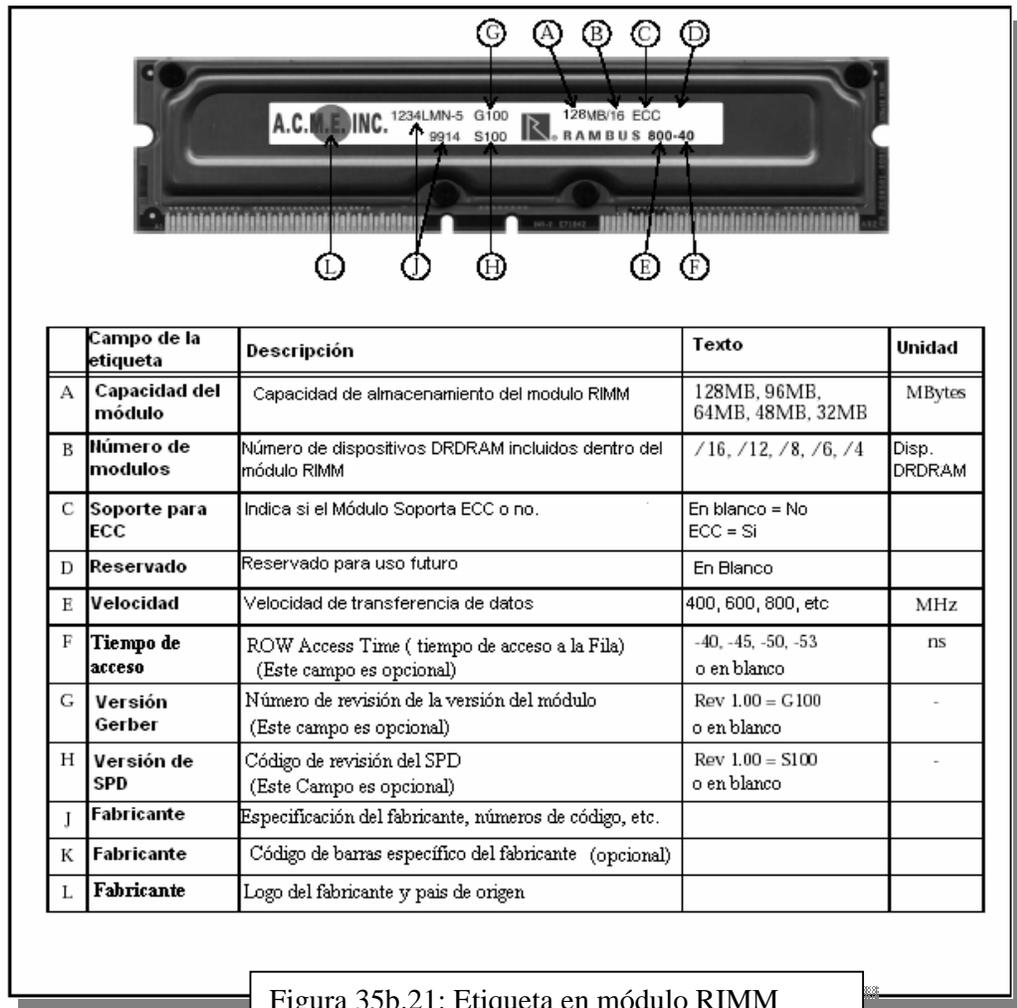
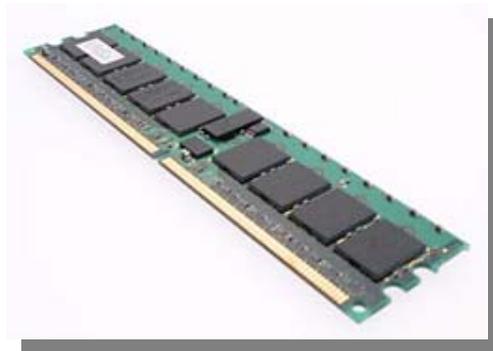


Figura 35b.21: Etiqueta en módulo RIMM

DDR2: 240 Contactos, 64 Bits de Bus de datos con velocidades a partir de los 100 MHz.

- ▶ **PC2-3200** Bus de 400 MHz
- ▶ **PC2-4300** Bus de 533 MHz
- ▶ **PC2-5300** Bus de 667 MHz
- ▶ **PC2-6400** Bus de 800 MHz



1.- ¿Cuál es la función del I/O Hub en un chipset 815?

2.- ¿Qué es el FSB?

3.- ¿Qué diferenció al chipset 440BX de los anteriores?

4.- ¿Puede encontrarse un caché L2 dentro de un chipset?

5.- ¿Qué es un canal RIMM?

6.- Explique brevemente y con sus palabras el funcionamiento de las tecnologías DDR y DDR 2
